

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-107291

(43)Date of publication of application : 24.04.1998

(51)Int.Cl.

H01L 29/786

H01L 21/336

H01L 21/20

H01L 21/265

(21)Application number : 08-257883

(71)Applicant : SHARP CORP

(22)Date of filing : 30.09.1996

(72)Inventor : MAKITA NAOKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the occurrence of stripe-defects caused by scanning with pulsed laser light in an active-matrix liquid crystal display device by establishing a prescribed relation between the arranging intervals of channel areas in the scanning direction and the successive scanning interval of the laser light.

SOLUTION: In a semiconductor device having a plurality of TFTs, the arranging intervals P of TFT channel areas 114 in the successively scanning direction of pulsed laser light and the successive scanning intervals S of the laser light 113 at the time of crystallizing the TFT channel areas are set so that a relation $P=nS$ (n : an integer other than '0') can be roughly established between the intervals P and S. Therefore, the TFT channel areas 114 arranged in the scanning direction of the laser light are crystallized in similar energy regions in the profile distribution of each laser pulse used for successive scanning. When the scanning pitch S of the laser light is set so as to meet the relation $P=nS$ against the arranging intervals P of the picture element TFTs, the occurrence of stripe display defects can be eliminated.

LEGAL STATUS

[Date of request for examination]

28.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]	3357798
[Date of registration]	04.10.2002
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

【特許請求の範囲】

【請求項1】 絶縁表面を有する基板上に構成された、複数の画素電極を駆動する薄膜トランジスタを有する半導体装置において、該複数の薄膜トランジスタのチャネル領域は、パルスレーザ光の順次走査照射により結晶化された結晶性ケイ素膜よりなり、前記パルスレーザ光の走査方向におけるチャネル領域が配列された間隔Pと、前記パルスレーザ光の順次走査間隔Sとが、概略 $P = nS$ ($n: 0$ を除く整数)となるよう構成されたことを特徴とする半導体装置。

【請求項2】 絶縁表面を有する基板上に構成された、複数の画素電極を駆動する薄膜トランジスタおよび該薄膜トランジスタの画素液晶容量と並列に接続される補助容量を有する半導体装置において、該複数の薄膜トランジスタのチャネル領域、および前記補助容量の一方の電極部は、共にパルスレーザ光の順次走査照射により結晶化された結晶性ケイ素膜よりなり、前記パルスレーザ光の走査方向におけるチャネル領域が配列された間隔Pと補助容量の電極部が配列された間隔とが同一であり、前記間隔Pと、前記パルスレーザ光の順次走査間隔Sとが、概略 $P = nS$ ($n: 1$ 以上の整数)となるよう構成されたことを特徴とする半導体装置。

【請求項3】 絶縁表面を有する基板上に構成された、複数の画素電極を駆動する薄膜トランジスタおよび該薄膜トランジスタを駆動するドライバ回路を構成する複数の薄膜トランジスタを同一基板上に有する半導体装置において、前記画素駆動用の複数の薄膜トランジスタおよびドライバ回路を構成する複数の薄膜トランジスタのチャネル領域は、共にパルスレーザ光の順次走査照射により結晶化された結晶性ケイ素膜よりなり、前記パルスレーザ光の走査方向におけるチャネル領域が配列された間隔Pと、前記パルスレーザ光の順次走査間隔Sとが、概略 $P = nS$ ($n: 1$ 以上の整数)となるよう構成されたことを特徴とする半導体装置。

【請求項4】 前記請求項3記載の半導体装置において、前記画素駆動用の複数の薄膜トランジスタのチャネル領域が配列された間隔Pgと、ドライバ回路を構成する複数の薄膜トランジスタのチャネル領域が配列された間隔Pdとが異なり、前記パルスレーザ光の順次走査間隔Sが、概略 $Pg = nS$ ($n: 1$ 以上の整数)、且つ $Pd = mS$ ($m: 1$ 以上の整数)となるよう構成されたことを特徴とする半導体装置。

【請求項5】 前記請求項1、2あるいは3記載の半導体装置において、前記レーザ光の走査方向におけるチャネル領域が配列された間隔Pと、前記結晶性ケイ素膜結晶化時のレーザ光の順次走査間隔Sとの比P/Sが、少なくともn-0.1 < P/S < n+0.1 (n: 1以上の整数)の範囲内となるよう構成されたことを特徴とする半導体装置。

【請求項6】 前記請求項5記載の半導体装置において、前記レーザ光の走査方向におけるチャネル領域が配列された間隔Pと、前記結晶性ケイ素膜結晶化時のレーザ光の順次走査間隔Sとの比P/Sが、さらにn-0.05 < P/S < n+0.05 (nは以上の整数)の範囲内となるよう構成されたことを特徴とする半導体装置。

【請求項7】 前記請求項1、2あるいは3記載の半導体装置において、前記レーザ光の走査方向におけるチャネル領域が配列された間隔Pと、結晶性ケイ素膜結晶化時のレーザ光の順次走査間隔Sとが、概略同一(P=S)となるよう構成されたことを特徴とする半導体装置。

【請求項8】 絶縁表面を有する基板上にケイ素膜を形成する工程と、

該ケイ素膜に対して走査ビッチSの順次走査によりパルスレーザ光を照射し、前記ケイ素膜を結晶化する工程と、

前記パルスレーザ光の走査方向に対して、概略前記走査ビッチSの整数倍となる間隔Pにて、複数の薄膜トランジスタのチャネル領域をパターンニング形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項9】 絶縁表面を有する基板上にケイ素膜を形成する工程と、

該ケイ素膜を、複数の薄膜トランジスタのチャネル領域となるようパターンニング形成することで、該複数の薄膜トランジスタのチャネル領域を、後のレーザ走査方向に対し一定の間隔Pに配置する工程と、

該複数の薄膜トランジスタのチャネル領域に対して、その間隔Pの整数分の1となるような走査ビッチSにて、パルスレーザ光を定められた方向に順次走査し、該チャネル領域を結晶化する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項10】 前記請求項8あるいは9記載の半導体装置の製造方法において、絶縁表面を有する基板上に形成されるケイ素膜が非晶質ケイ素膜であり、該非晶質ケイ素膜を加熱することにより、固相状態に結晶化する工程と、パルスレーザ光の順次走査により再結晶化する工程とを有することを特徴とする半導体装置の製造方法。

【請求項11】 前記請求項10記載の半導体装置の製造方法において、前記非晶質ケイ素膜を固相状態で結晶化する工程は、前記非晶質ケイ素膜にその結晶化を助長する触媒元素を選択的に導入し、加熱処理により該触媒元素が選択的に導入された領域から、その周辺部へと横方向に結晶成長させることにより行われることを特徴とする半導体装置の製造方法。

【請求項12】 前記請求項8あるいは9記載の半導体

装置の製造方法において、

前記ケイ素膜を、後に複数の薄膜トランジスタのチャネル領域となるよう、一定の間隔Pにてパターンニング形成する際、該薄膜トランジスタと接続される補助容量の一方の電極も、レーザー走査方向に対して間隔Pにて、同時にパターンニング形成されることを特徴とする半導体装置の製造方法。

【請求項13】 前記請求項8あるいは9記載の半導体装置の製造方法において、前記ケイ素膜の結晶化時のレーザー光の順次走査間隔Sと、順次走査方向におけるケイ素膜表面でのレーザー光のビーム幅Wとの比 S/W が、少なくとも0.2以下、すなわち順次走査時のレーザー光のオーバーラップ照射領域が80%以上となるようにして、前記レーザー光照射工程が行われることを特徴とする半導体装置の製造方法。

【請求項14】 前記請求項13記載の半導体装置の製造方法において、前記ケイ素膜結晶化時のレーザー光の順次走査間隔Sと、前記順次走査方向におけるケイ素膜表面でのレーザー光のビーム幅Wとの比 S/W が、さらに0.1以下、すなわち順次走査時のレーザー光のオーバーラップ照射領域が90%以上となるようにして、前記レーザー光照射工程が行われることを特徴とする半導体装置の製造方法。

【請求項15】 前記請求項8、9、あるいは14記載の半導体装置の製造方法において、前記パルスレーザー光は、そのビーム形状が照射面（ケイ素膜表面）において長尺形状となるように設計されており、該ビーム形状の長尺方向に対して垂直方向に順次走査することで、前記複数の薄膜トランジスタのチャネル領域を結晶化することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、さらに詳しく言えば、結晶性ケイ素膜を活性領域とする半導体素子を用いた液晶表示装置用、帯電型イメージセンサ用、三次元IC用などのアクティブマトリクス基板により構成される半導体装置およびその製造方法に関する。

【0002】

【従来技術】近年、大型で高解像度の液晶表示装置や、低コスト化のためドライバ回路を同一基板上に形成したモノシック型の液晶表示装置、高速で高解像度の密着型イメージセンサ、三次元ICなどへの実現に向けて、ガラス等の絶縁基板上や、絶縁膜上に高性能な薄膜トランジスタ（以下、TFTという）等の半導体素子を形成する試みがなされている。これらの装置に用いられる半導体素子には、薄膜状のケイ素半導体を用いるのが一般的である。薄膜状のケイ素半導体としては、非晶質ケイ素半導体（a-Si）からなるものと、結晶性

を有するケイ素半導体からなるものの2つに大別される。

【0003】非晶質ケイ素半導体は作製温度が低く、気相法で比較的容易に作製することが可能で量産性に富むため、最も一般的に用いられているが、導電性等の特性が結晶性を有するケイ素半導体に比べて劣るため、今後より高速特性を得るためには、結晶性を有するケイ素半導体からなる半導体装置の作製方法の確立が強く求められていた。尚、結晶性を有するケイ素半導体としては、多結晶ケイ素、微結晶ケイ素、結晶成分を含む非晶質ケイ素等が知られている。

【0004】これら結晶性を有する薄膜状のケイ素半導体を得る方法としては、

(1)成膜時に結晶性を有する膜を直接成膜する。

【0005】(2)非晶質の半導体膜を成膜しておき、熱エネルギーを加えることにより結晶性を有せしめる。

【0006】(3)非晶質の半導体膜を成膜しておき、レーザー光のエネルギーにより結晶性を有せしめる。

【0007】といった主に3つの方法が知られている。

【0008】しかしながら、上記(1)の方法では、成膜工程と同時に結晶化が進行するので、大粒径の結晶性ケイ素を得ることが難しく、それにはケイ素膜の膜厚を大きくすることが不可欠となる。しかし、膜厚を大きくしても基本的には膜厚と同程度の結晶粒径しか得られず、この方法により良好な結晶性を有するケイ素膜を作製することは原理的に不可能である。また、成膜温度が600℃以上と高いので、安価なガラス基板が使用できないというコストの問題もある。

【0009】また上記(2)の方法は、結晶化に際し600℃以上の高温にて数時間におたる加熱処理が必要であるため、生産性に非常に乏しい。また、固相結晶化現象を利用するため、結晶粒は基板面に平行に拡がり数 μm の粒径を持つものさえ現れるが、成長した結晶粒同士がぶつかり合って粒界が形成されるため、その粒界はキャリアに対するトラップ準位として働き、TFTの移動度を低下させる大きな原因となっている。さらに、それぞれの結晶粒は双晶構造を示し、一つの結晶粒内においても所謂双晶欠陥と呼ばれる結晶欠陥が多量に存在している。

【0010】このため、現在上記(3)の方法が主流となっている。上記(3)の方法では溶媒固化過程を利用し結晶化するので、個々の結晶粒内の結晶性は非常に良好である。また、照射光の波長を選ぶことで、アニールの対象であるケイ素膜のみを効率的に加熱し、下層のガラス基板への熱的損傷を防ぐことができると共に、上記(2)の方法のより長時間におたる処理が必要でない。装置面でも高出力のエキシマレーザーアニール装置などが開発され、大面積基板に対しても対応可能になりつつある。上記(3)の方法を利用して半導体素子を作製する方法が、特開平7-92501号公報で提案され

ている。この公報では、各半導体素子をストライプ状に配置してレーザー光照射を行い、各半導体素子の活性領域を結晶化している。

【0011】上記(3)の方法は、上述のように、絶縁膜上のケイ素膜の結晶化法としては、最も優れているが、均一性において大きな課題を残している。すなわち、光源となるレーザー発信器として、大面積基板を一括照射行だけの出力を有するものは未だ開発されておらず、現在は基板面に対して面積100〜200mm²程度のビームを順次走査することに対応している。したがって、当然のことながら、順次走査に伴う結晶性の不均一性が大きな問題となる。言うまでもなく、結晶性のばらつきは、その素子特性にそのまま反映され、素子間の特性ばらつきを生じさせる原因となる。

【0012】実際には図9のような方法にてパルスレーザー光の走査照射を行っている。図9において、横軸Xがレーザー走査方向を示し、縦軸Yがレーザー光のエネルギーを任意目盛で示している。その走査ピッチは906で表している。図9はレーザー光のエネルギー分布を断面より見たものであり、圓状のパルスレーザー光のエネルギー分布(プロファイル)は、一般的にはビーム幅907を有するエネルギー分布曲線901から905に示すような gaussian 形状を有する。パルスレーザー光はエネルギー分布曲線901から902、903、904、905の順番にケイ素膜に照射される。ここで、ケイ素膜のある任意の位置a、b、c、dにおいては、最初にエネルギー分布曲線902のビームが照射され、続いてエネルギー分布曲線903、904と合計3回のレーザー光照射が行われる。すなわち、図9においてはビームのオーバーラップ量を約67%に設定してある。このように、それぞれのビームの一部が重なるようにしてレーザー光走査を行うのは、ケイ素膜の任意の点における結晶性の均一性を高めるためである。

【0013】さて、レーザー光照射により結晶化される結晶性ケイ素膜において、その結晶性を最も大きく左右するのは、最も最初に照射されるレーザーパルスである。なぜなら、非晶質ケイ素膜を結晶化すると、その融点は初期に比べて200℃程度上昇すると共にレーザー光に対する吸収係数が低下する。2回目以降に照射されるレーザーパルスは、非晶質ケイ素膜ではなく、1回目のレーザーパルスにて結晶化された結晶性ケイ素膜を再結晶化することになり、その効果は1回に比べて大きく減少するため、2回目以降のレーザーパルスは、1回目とは大きく寄与しない。

【0014】図9の位置a、b、c、dでは、まずエネルギー分布曲線902のレーザーパルスが照射され、非晶質ケイ素膜は結晶化された結晶性ケイ素膜となる。その後、エネルギー分布曲線903、904のレーザーパルスが引き続き照射される。最初のエネルギー分布曲線902をもつレーザーパルスが照射される際、位置a、

b、c、dのそれぞれに与えられるエネルギーは、それぞれの位置より縦軸方向に引かれた矢印の大きさで示され、位置aで最も小さく、位置dで最も大きい。その結果、位置aでの結晶性は位置dに比べて悪くなる。同様に位置b、cでも結晶性の不均一性が生じる。これを修復するため、引き続きエネルギー分布曲線903、904をもつレーザーパルスが照射されるものであるが、上述のように十分な修復はできず、位置a、b、c、dのそれぞれでは、最初のエネルギー分布曲線902をもつレーザーパルスにより生じた結晶性の不均一性を後々まで引きずる。これが、レーザーパルスにより順次走査された結晶化された結晶性ケイ素膜の不均一性を生じさせる主な原因であり、素子特性のばらつきを生じさせ、液晶表示装置においては線状の表示むらなど表示不良が見れる。

【0015】特開平7-92501号公報は、TFTを直線上に配置し、それぞれの直線に対して、レーザー光を位置制御して照射するものである。すなわち、それぞれの直線上に配置された素子領域が、1回のレーザー光照射により結晶化されるようにし、その位置精度を保ちながら順次走査する。したがって、各TFTにはそれぞれ1回ずつのレーザー光照射が行われ、順次走査の際のレーザー光の重なり部分が、素子領域には係らないように構成されている。すなわち、図9で説明したようなレーザー光の重なりを作らず、各レーザーパルス単独にて、さらにそのビームプロファイルにおけるビークトップ部の比較的フラットな領域を用いて、それぞれの素子を結晶化する訳である。よって、基板上の素子全てを結晶化するためには使用するレーザーパルス数としても、装置直線上に配列されたそのライン数と一致する。

【0016】

【発明が解決しようとする課題】このような方法にて得られる複数のTFT素子は、原理上は非常に均一性が高いが、未だ前記公報の技術を利用できる装置は開発されていない。なぜなら、前記公報における位置制御は、ステージ精度の問題およびレーザー光自体の揺らぎなどの問題を含み、現実には非常に困難であるからである。さらに、例えそのような装置が開発されたとしても、装置自体が非常に高価となり、また、今までに比べて位置合わせの余分な時間を費やす、位置精度を上げるためにステージ送り速度が低下し、生産性が大きく低下すると共に高コスト化の要因となる。

【0017】さらに、もう一つの大きな問題点として、結晶性に起因する表面ラフネスの問題がある。レーザー光照射により溶融固化により結晶化された結晶性ケイ素膜においては、その融点1414℃以上で瞬時に加熱され、数十nsec.程度の冷却時間にて室温付近まで冷却され固化される。この際、あまりにも固化速度が速いので、ケイ素膜は過冷却状態となり、一瞬にして固化される結果、一般的に結晶粒径は100〜200nm程

度と非常に小さくなると共に、結晶粒がぶつかり合った点、すなわち結晶粒界は山状に盛り上がる。この現象は、特に3つの結晶粒がぶつかり合った三極点で顕著であり、結晶性が良好な程（結晶粒径が大きくなる程）大きくなる。

【0018】図10に、実際に強光照射により結晶化された結晶性ケイ素膜の表面状態の原子間力顕微鏡（AFM）像をもとにスケッチした図を示す。図10において、X-Y方向のフルスケールは $2.0\mu\text{m}$ であり、Z方向のフルスケールは 50nm である。このような結晶性ケイ素膜を一方の電極とし容量成分を作製した場合、勿論その表面ラフネスにより、容量は設計値より大きくなる方向へとずれることになる。図9のように、レーザー一走査により結晶性がばらつく場合には、その表面ラフネスもばらつき、結果として容量値もばらつくことになる。液晶表示装置において、画素TFTに接続された補助容量の値がばらつく、画面上にフリッカーなどの表示むらを引き起す原因となる。

【0019】本発明は、結晶性ケイ素膜を用いた複数のTFTを有するアクティブマトリクス基板などの半導体装置において、上述のレーザー光順次走査により結晶化される際の課題点を全て解決し、低コスト化が図れる簡便なプロセスにて、均一性が良好な半導体装置およびレーザー光走査を起因とする結状不良のない高表示レベルの液晶表示装置を実現するものである。

【0020】

【課題を解決するための手段】本発明者は、パルスレーザー光を順次走査し結晶化された結晶性ケイ素膜において、基板内におけるその均一性を向上し、均一な素子特性を有する複数のTFTを形成し、かつまた、液晶表示装置において、そのTFT活性領域結晶化時のレーザー光走査照射に起因する結状不良の表示不良をなくす実験、半導体装置およびその製造方法の研究開発に日夜明け暮れた。その結果、ついに、前記目的を達成することができた。

【0021】本発明は、より大型でより高解像度のアクティブマトリクス液晶表示装置や、同一基板上に駆動用のドライバを作り込むドライバメモリック型アクティブマトリクス液晶表示装置などを実現するために、パルスレーザー光の順次走査により結晶化された結晶性ケイ素膜をTFT活性領域に用いた際に生じる課題点を解決するものである。特に、結晶性ケイ素膜を画素TFTに用いるアクティブマトリクス液晶表示装置において、レーザー光走査に起因する結状不良の発生を防ぐことを目的とする。具体的には、本発明は以下の特徴を有する。

【0022】本発明の請求項1記載の半導体装置は、絶縁表面を有する基板上に構成された、複数の画素電極を駆動する薄膜トランジスタを有する半導体装置において、該複数の薄膜トランジスタのチャネル領域は、パル

スレーザー光の順次走査照射により結晶化された結晶性ケイ素膜よりなり、前記パルスレーザー光の走査方向におけるチャネル領域が配列された間隔Pと、前記パルスレーザー光の順次走査間隔Sとが、概略 $P=nS$ （ $n:0$ を除く整数）となるよう構成されたことを特徴とする。

【0023】本発明の請求項2記載の半導体装置は、絶縁表面を有する基板上に構成された、複数の画素電極を駆動する薄膜トランジスタおよび該薄膜トランジスタの画素液晶容量と並列に接続されてなる補助容量を有する半導体装置において、該複数の薄膜トランジスタのチャネル領域、および前記補助容量の一方の電極部は、共にパルスレーザー光の順次走査照射により結晶化された結晶性ケイ素膜よりなり、前記パルスレーザー光の走査方向におけるチャネル領域が配列された間隔Pと、補助容量の電極部が配列された間隔とが同一であり、前記間隔Pと、前記パルスレーザー光の順次走査間隔Sとが、概略 $P=nS$ （ $n:1$ 以上の整数）となるよう構成されたことを特徴とする。

【0024】本発明の請求項3記載の半導体装置は、絶縁表面を有する基板上に構成された、複数の画素電極を駆動する薄膜トランジスタおよび該薄膜トランジスタを駆動するドライバ回路を構成する複数の薄膜トランジスタを同一基板上に有する半導体装置において、前記画素駆動用の複数の薄膜トランジスタおよびドライバ回路を構成する複数の薄膜トランジスタのチャネル領域は、共にパルスレーザー光の順次走査照射により結晶化された結晶性ケイ素膜よりなり、前記パルスレーザー光の走査方向におけるチャネル領域が配列された間隔Pと、前記パルスレーザー光の順次走査間隔Sとが、概略 $P=nS$ （ $n:1$ 以上の整数）となるよう構成されたことを特徴とする。

【0025】本発明の請求項4記載の半導体装置は、前記画素駆動用の複数の薄膜トランジスタのチャネル領域が配列された間隔Pと、ドライバ回路を構成する複数の薄膜トランジスタのチャネル領域が配列された間隔Pdとが異なり、前記パルスレーザー光の順次走査間隔Sが、概略 $Pg=nS$ （ $n:1$ 以上の整数）、且つ $Pd=mS$ （ $m:1$ 以上の整数）となるよう構成されたことを特徴とする。

【0026】本発明の請求項5記載の半導体装置は、前記請求項1、2あるいは3記載の半導体装置において、前記レーザー光の走査方向におけるチャネル領域が配列された間隔Pと、結晶性ケイ素膜結晶化時のパルスレーザー光の順次走査間隔Sとの比 P/S が、少なくとも $n-0.1 < P/S < n+0.1$ （ $n:1$ 以上の整数）の範囲内となるよう構成されることを特徴とする。

【0027】また、本発明の請求項1記載の半導体装置は、前記請求項5記載の半導体装置において、前記レーザー光の走査方向におけるチャネル領域が配列された間

隔Pと、結晶性ケイ素膜結晶化時のパルスレーザー光の順次走査間隔Sとの比 P/S が、 $n-0.05 < P/S < n+0.05$ ($n:1以上の整数$)の範囲内となるよう構成されたことを特徴とする。

【0028】また、本発明の請求項7記載の半導体装置は、前記請求項1、2あるいは3記載の半導体装置において、前記パルスレーザー光の走査方向におけるチャネル領域が配列された間隔Pと、結晶性ケイ素膜の結晶化時のレーザー光の順次走査間隔Sとが、概略同一($P=S$)となるよう構成されることを特徴とする。特に、前記比 P/S は、少なくとも0.9 $< P/S < 1.1$ の範囲内となるようにするの望ましい。さらに、前記比 P/S が、0.95 $< P/S < 1.05$ の範囲内となるようにするのが好ましい。

【0029】本発明の請求項8記載の半導体装置の製造方法は、絶縁表面を有する基板上にケイ素膜を形成する工程と、該ケイ素膜に走査ビッチSの順次走査によりパルスレーザー光を照射し、結晶化する工程と、該パルスレーザーの走査方向に対して、概略前記走査ビッチSの整数倍となる間隔Pにて、複数の薄膜トランジスタのチャネル領域をパターンニング形成する工程とを有することを特徴とする。

【0030】本発明の請求項9記載の半導体装置の製造方法は、絶縁表面を有する基板上にケイ素膜を形成する工程と、該ケイ素膜を、複数の薄膜トランジスタのチャネル領域となるようパターンニング形成することで、該複数の薄膜トランジスタのチャネル領域を、後のレーザー走査方向に対し一定の間隔Pにて配置する工程と、該複数の薄膜トランジスタのチャネル領域に対して、その間隔Pの整数分の1となるような走査ビッチSにて、パルスレーザーを定められた方向に順次走査し、該チャネル領域を結晶化する工程とを有することを特徴とする。

【0031】本発明の請求項10記載の半導体装置の製造方法は、前記請求項8あるいは9記載の半導体装置の製造方法において、絶縁表面を有する基板上に形成されるケイ素膜が非晶質ケイ素膜であり、該非晶質ケイ素膜を加熱することにより、固相状態で結晶化する工程と、パルスレーザーの順次走査により再結晶化する工程とを有することを特徴とする。

【0032】前記請求項10の半導体装置の製造方法において、前記非晶質ケイ素膜を固相状態で結晶化する工程は、非晶質ケイ素膜にその結晶化を助長する触媒元素を導入した後、行われることが好ましい。特に、非晶質ケイ素膜の結晶化を助長する触媒元素として、N、C、O、Pd、Pt、Co、Ag、Au、In、Sn、Al、Sbから選ばれた一種または複数種類の元素を用いるのが望ましい。前記種類の触媒元素の中でも、特にN元素を少なくとも用いるのが好ましい。

【0033】本発明の請求項11記載の半導体装置の製造方法は、前記請求項10記載の半導体装置の製造方法

において、非晶質ケイ素膜にその結晶化を助長する触媒元素を選択的に導入し、加熱処理により該触媒元素が選択的に導入された領域から、その周辺部へと横方向に結晶成長させることにより行われることを特徴とする。

【0034】前記請求項11記載の半導体装置の製造方法において、前記ケイ素膜における横方向への結晶成長方向と、薄膜トランジスタにおけるキャリアの移動方向とが、概略平行となるよう構成されるのが好ましい。

【0035】前記請求項12記載の半導体装置の製造方法は、請求項8あるいは9記載の半導体装置の製造方法において、該ケイ素膜を、後に複数の薄膜トランジスタのチャネル領域となるよう、一定の間隔Pにてパターンニング形成する際、該薄膜トランジスタと接続されてなる補助容量成分の一方の電極部も、レーザー走査方向に対して間隔Pにて、同時にパターンニング形成することを特徴とする。

【0036】本発明の請求項13記載の半導体装置の製造方法は、前記請求項8あるいは9記載の半導体装置の製造方法において、前記ケイ素膜結晶化時のレーザー光の順次走査間隔Sと、順次走査方向におけるケイ素膜表面でのレーザー光のビーム幅Wとの比 S/W が、少なくとも0.2以下、すなわち順次走査時のレーザー光のオーバーラップ照射領域が80%以上となるようにして、前記レーザー光照射工程が行われることを特徴とする。

【0037】本発明の請求項14記載の半導体装置の製造方法は、前記請求項13記載の半導体装置の製造方法において、前記ケイ素膜結晶化時のレーザー光の順次走査間隔Sと、順次走査方向におけるケイ素膜表面でのレーザー光のビーム幅Wとの比 S/W が、さらに0.1以下、すなわち順次走査時のレーザー光のオーバーラップ照射領域が90%以上となるようにして、前記レーザー光照射工程が行われることを特徴とする。

【0038】本発明の請求項15記載の半導体装置の製造方法は、前記請求項8、9あるいは14記載の半導体装置の製造方法において、前記パルスレーザー光は、そのビーム形状が照射面(ケイ素膜表面)において長尺形状となるように設計されており、該ビーム形状の長尺方向に対して垂直方向に順次走査すること、前記複数の薄膜トランジスタのチャネル領域を結晶化することを特徴とする。

【0039】また、請求項8または9記載の半導体装置の製造方法において、複数の薄膜トランジスタのチャネル領域を結晶化するためのパルスレーザー光として、波長400nm以下のレーザー光を用いることが望ましく、特に波長308nmのXeClエキシマレーザー光を用いることが好ましい。

【0040】本発明の要要は、複数のTFTを有する半導体装置において、パルスレーザー光の順次走査方向におけるTFTチャネル領域が配列された間隔Pと、TFTチャネル領域結晶化時のレーザー光の順次走査間隔S

とを、概略 $P=nS$ ($n:0$ を除く整数)となるよう構成することである。このように構成することで、レーザー光走査方向に沿った各TFTチャネル領域は、順次走査される各レーザーパルスにおいて、そのプロファイル分布内の同様のエネルギー域で結晶化される。すなわち、上述の図9において、ある素子が位置aなら全ての素子が位置aの状態、ある素子が位置dの場合には全ての素子が位置dの状態で結晶化される。したがって、本発明は、均一な結晶性キ素膜を得ることにより上記問題点を解決するのではなく、レーザー光走査により得られる結晶性キ素膜の不均一性を認め、その周期性を利用して上記問題点を解決する。また、本発明は、特開平7-92501号公報に記載の技術とは根本的に異なり、レーザーパルスの精密な位置制御を必要としない。すなわち、該公報では各レーザーパルス内の最もよい領域を用いて、それぞれの素子を結晶化する。それに対して、本発明においては、それぞれの素子が各レーザーパルスのどの領域を用いて結晶化されるかは全くわからないが、各素子は各レーザーパルスの同様のエネルギー域により結晶化される。したがって、図9の位置aで結晶化されたものは、図9の位置dで結晶化されたものより素子特性が悪くなるが、基板全体の素子にわたって全て悪くなるため、均一性は良好となる。実際に本発明を用い、画素TFTの間隔Pに対して $P=nS$ となる順次走査ピッチにてレーザー光走査を行い、液晶表示装置を作製した場合、レーザー光走査起因により結状の表示不良を無くすことができ、本発明の有効性が証明できた。

【0041】本発明を液晶表示用のアクティブマトリクス基板に適用した場合、画素TFTのチャネル部と共に、該TFTに接続されている画素液晶容量と並列な補助容量C_sの一方の電極部も、レーザー光走査方向において同様の間隔Pにて配列され、概略 $P=nS$ ($n:1$ 以上の整数)となるレーザー光順次走査間隔Sにて結晶化されるよう構成した。液晶表示装置においては、各画素TFTへのゲートパルスがオフされた際、MOS-TFTの寄生容量と容量カップリングにより、画素液晶容量に印加された電圧の電圧降下現象が生じる。この電圧降下現象を小さくするために、通常、画素液晶容量と並列に補助容量C_sを設け、対向基板側の電圧を前記電圧降下分だけシフトさせることで調整する。この補助容量C_sは、TFTのチャネル領域と同一層のキ素膜を下部電極として、該TFTのゲート絶縁膜と同一層によりその容量成分が形成し、該TFTのゲート電極と同一層によりその上部電極を構成すれば、最も少ない面積で大きな容量を形成でき、液晶表示パネルの開閉率を上げることができる。

【0042】このこと、下部電極である結晶性キ素膜は、TFTチャネル領域と同様、ハルスレーザー光の順次走査により結晶化され、その表面には凹凸が生じてい

る。従来、結晶性キ素膜の表面ラフネスのため、各補助容量C_s容量値がばらつき、電圧降下量がばらついていたため、対向基板側の電圧では一部のみのしか調整できず、最適値からずれたところではフリッカーなどの表示むらが生じていた。本発明では、それぞれの補助容量C_sの下部電極は、各レーザーパルスの同様のエネルギー域により結晶化されるため、各補助容量C_sの下部電極の表面ラフネスは基板間では異なるが、基板内ではほぼ同様の値を示す。したがって、液晶表示装置における画面内での各補助容量C_sの容量値は、ほぼ一定値となり、電圧降下量もまた一定となって、フリッカーなどの表示不良を無くすることができる。また、本発明の性質上、パネル内の均一性は良好であるが、パネル間では補助容量C_sの容量値は異なり、電圧降下量も異なる可能性がある。このような場合には、パネルによって対向基板側の電圧を最適化することで対応可能であり、何ら問題は無い。

【0043】また、マトリクス状に配列された画素TFTに加え、該TFTを駆動するドライバ回路を同一基板上に有するドライバモリシックのアクティブマトリクス半導体装置においては、画素TFTと共にそのドライバ回路を構成する複数のTFTのチャネル領域も、ハルスレーザー光の走査方向に対して間隔Pにて規則的に配列され、概略 $P=nS$ ($n:1$ 以上の整数)となるような順次走査間隔Sにて結晶化されるよう構成した。これにより、ドライバ回路を構成する複数のTFTのチャネル領域は、全て同様な状態で結晶化されるため、TFT素子全体にわたって優れた特性均一性が得られる。その結果、画素TFTを駆動するドライバ回路の特性が安定し、液晶表示装置においてドライバ回路の特性のばらつきに起因する表示むらなどの不良を低減することができる。本発明では、特開平7-92501号公報に記載の技術のように、画素TFTとドライバ回路を共に同一ライン上に配置する必要はない。すなわち、本発明は、画面内の画素TFTとドライバ回路を構成する個々のTFTとが、異なるライン上にあつたとしても、画素TFT群全体において、またドライバ回路を構成する個々のTFT群全体において、それぞれハルスレーザー光の走査方向に対して間隔Pにて規則的に配列されていれば良い。すなわち、本発明では、画素TFT群それぞれに対してドライバ回路TFT群に対して、それぞれ独立に良好な均一性を実現するものである。

【0044】また、これらの理由により、本発明は、ハルスレーザー光の走査方向における画素TFTのチャネル領域が配列された間隔Pgと、該方向におけるドライバ回路TFTのチャネル領域が配列された間隔Pdとが異なるような場合にも適用可能である。すなわち、結晶化時の該レーザー光の順次走査間隔Sが、概略 $Pg=nS$ ($n:1$ 以上の整数)、且つ $Pd=mS$ ($m:1$ 以上の整数)となるようにすることで、画素TFTの特性

均一性とドライバーTFTの特性均一性をそれぞれ独立に満足することができる。したがって、ドライバーTFTを画素TFTと同一ライン上に見つ同一ライン数を配置する特開平7-92501号公報に記載の技術に比べ、画素TFTのレイアウトに関係なくドライバーTFTを配置できることで、素子レイアウトの設計マージンが増え、ドライバー回路の高集積化を図ることができる。

【0045】本発明においては、パルスレーザ光の走査方向におけるTFTチャネル領域が配列された間隔Pと、該レーザ光の順次走査間隔Sとの比P/Sが、少なくとも $n=0$ 、 $1 < P/S < n+0.1$ ($n:1$ 以上の整数)の範囲内とすることが望ましい。本発明の第1の応用例である液晶表示用アクティブマトリクス基板では、特に隣接画素間のTFT特性の不均一性が問題となる。すなわち、パルスレーザ順次走査に伴う従来の問題点、液晶表示装置においては、レーザ走査方向に垂直な縦線あるいは横線となって現れる。本発明では、TFT隣接間の特性ばらつきをできる限り緩和することで、上記線状の表示不良を低減することを目的とする。本発明者らが調べたところ、少なくとも10ライン以上の画素TFTにわたって、チャネル領域の結晶性が連続的に変化している場合には、液晶表示装置において若干の縞状の表示むらは見られるが、上記のような明確な縞状の表示不良は見られないことがわかった。チャネル領域の結晶性が連続的に変化しているというは、図9において位置a、b、c、dのように、結晶化されるレーザの状態が徐々にずれていくことを意味しており、10ライン以上毎の画素TFTラインにおいて、レーザ結晶化状態が徐々にずれていき1サイクルするという意味である。よって、本発明における概略 $P=nS$ の範囲として、少なくとも $n=0$ 、 $1 < P/S < n+0.1$ ($n:1$ 以上の整数)の範囲内であれば、レーザ走査起因による上記のむらきりとした縞状の表示不良は無くすることができ、高表示品位の液晶表示装置が得られる。

【0046】さらに、20ライン以上毎の画素TFTラインにおいて、レーザ結晶化状態が徐々にずれていき1サイクルする場合には、液晶表示装置において上記範囲ではまだ見られていた縞状の表示むらもほとんど見られない。よって、本発明における概略 $P=nS$ のより最適な範囲としては、 $n=0$ 、 $0.5 < P/S < n+0.05$ ($n:1$ 以上の整数)の範囲内であり、この範囲内であれば、液晶表示装置において、レーザ走査起因による表示不良はほとんど見られず、より高表示品位の液晶表示装置が得られる。

【0047】特に、本発明においては、パルスレーザ光の走査方向におけるTFTチャネル領域が配列された間隔Pと、該レーザ光の順次走査間隔Sとが、概略同一($P=S$)となるよう構成されることが最も望ましい。なぜなら、この場合、レーザ結晶化状態のずれに

対する許容範囲が最大となり、本発明を用いたプロセスにおいて最も大きなプロセスマージンを確保できるからである。この場合のP/Sの比の範囲としては、上述の理由から、少なくとも $0.9 < P/S < 1.1$ の範囲内であれば良い。また、より最適な範囲としては、 $0.95 < P/S < 1.05$ の範囲内であることが望ましい。

【0048】本発明の半導体装置の第1の製造方法は、非晶質ケイ素膜を形成し、該ケイ素膜に対してパルスレーザ光を照射して、走査ビッチSにて順次走査することでケイ素膜を結晶化した後、パルスレーザの走査方向に対して、概略前記走査ビッチSの整数倍となるような間隔Pにて、ケイ素膜を、複数のTFTのチャネル領域となるようにパターンニング形成する方法である。また、第2の製造方法は、非晶質ケイ素膜を形成し、複数のTFTのチャネル領域となるようなパターンニング形成することで、該複数のTFTのチャネル領域を、後のレーザ走査方向に対し一定の間隔Pに配置し、該複数のTFTのチャネル領域に対して、その間隔Pの整数分の1となるような走査ビッチSにて、パルスレーザを定められた方向に順次走査し、前記チャネル領域を結晶化する方法である。すなわち、前者(第1の方法)は、TFTのチャネル領域となるケイ素膜のパターンニング工程をレーザ照射工程前に行うものであり、後者(第2の方法)は、ケイ素膜のパターンニング工程をレーザ照射工程後に行うものである。後者では、パターンニングされた島状のケイ素膜に対してレーザ照射を行うため、ケイ素膜の結晶化時に、島状のケイ素膜の端部は中央部に比べて熱の逃げが小さく、その結果、島状のケイ素膜の端部で結晶粒が大きく成長する。よって、第1の方法に比べて、第2の方法により作製されたTFTの方が、チャネル内の良好な結晶性を反映して、そのTFT特性はより良好なものとなる。具体的には、特にオン特性が向上し、電界効果移動度が2割程度向上する。しかしながら、第2の方法では、ケイ素膜の島状領域の端部での結晶性が良好な反面、その表面凹凸も端部で大きくなっており、その結果、TFT素子の信頼性は第1の方法に比べて劣る。したがって、目的とする半導体装置によって、上記第1の方法と第2の方法を使い分けることが望ましい。

【0049】レーザ照射に対するスタート膜としては、上述の非晶質ケイ素膜以外に、固相結晶化した結晶性ケイ素膜を用いることも有効な手段である。非晶質ケイ素膜を加熱処理により固相結晶化した結晶性ケイ素膜は、結晶性が悪く、そのままではTFTのチャネル領域としては不適であるが、均一性が良好なため、レーザ結晶化時の種結晶を作っておくという意味では有効である。結晶性ケイ素膜にレーザ光を照射した場合には、その結晶情報のある程度残した状態で再結晶化される。固相結晶化による結晶性ケイ素は、良好な均一性を有しているため、レーザ照射による再結晶化後も、その均

一性がある程度反映される。よって、本発明における半導体装置の製造方法において、固相結晶化による結晶性ケイ素膜に対して、レーザーを順次走査し、再結晶化することで、本発明の目的とする素子特性の均一性をさらに向上できる。

【0050】この固相結晶化工程としては、非晶質ケイ素膜に、その結晶化を助長する触媒元素を導入した後、行われることが望ましい。この方法により、加熱温度の低温化および処理時間の短縮、そして結晶性の向上が図れる。具体的には、非晶質ケイ素膜の表面にニッケルやパラジウム等の金属元素を微量に導入させ、しかる後に加熱することで、550℃、4時間程度の処理時間で結晶化が終了する。これに対し、通常の触媒元素を用いない固相結晶化には、600℃以上で数十時間にわたる熱処理が必要である。また、触媒元素により結晶化した結晶性ケイ素膜は、通常の固相成長法で結晶化した結晶性ケイ素膜の一つの粒粒が双晶構造であるのに対して、その粒内は何本もの柱状結晶ネットワークで構成されており、それぞれの柱状結晶内部はほぼ単結晶状態となっている。

【0051】この触媒元素により結晶化された結晶性ケイ素膜は、レーザー照射による再結晶化工程と非常に相性が良い。レーザー照射による再結晶化工程では、最初の結晶性がある程度反映され、通常の固相結晶化による結晶性ケイ素膜では、双晶構造を反映して、結晶欠陥の多い結晶性ケイ素膜となる。これに対して、触媒元素による固相結晶化ケイ素膜の場合は、レーザー照射により再結晶化によって、それぞれの柱状結晶が結合し、広範囲にわたって非常に結晶性が良好な結晶性ケイ素膜が得られる。

【0052】さらに、非晶質ケイ素膜の一部に選択的に触媒元素を導入し加熱することで、まず選択的に触媒元素が導入された領域のみが結晶化し、その後、その導入領域から横方向（基板と平行な方向）に結晶成長を行わせることができる。この横方向の結晶成長領域の内部では、成長方向がほぼ一方に揃った柱状結晶がひしめき合っており、触媒元素が直接導入されたランダムに結晶核の発生が起こった領域に比べて、結晶性が良好な領域となっている。よって、この横方向結晶成長領域の結晶性ケイ素膜をTFTのチャネル領域に用いることにより、より半導体装置の高性能化が行える。このとき、該ケイ素膜における横方向への結晶成長方向と、TFTにおけるキャリアの移動方向とが、概略平行となるように構成すれば、原理的にはキャリアの移動方向に結晶粒界が存在せず、キャリアの散乱確立が減少するため、より高移動度なTFTを実現できる。

【0053】本発明に利用できる触媒元素の種類としては、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、Sbを利用することができる。これらから選ばれた一種または複数種類の元素であれば、微量

で結晶化助長の効果がある。それらの中でも、特にNiを用いた場合に最も顕著な効果を得ることができる。この理由については、未だよくわかっていないが、一応次のようなモデルを考えている。触媒元素は単独では作用せず、ケイ素膜と結合しシリサイド化することで結晶成長に作用する。そのときの結晶構造が、非晶質ケイ素膜結晶化時に一種の結晶型のように作用し、非晶質ケイ素膜の結晶化を促すといったモデルである。Niは2つのSiとNiSi₂のシリサイドを形成する。NiSi₂はダイヤモンド型結晶構造を示し、その結晶構造は、単結晶ケイ素のダイヤモンド構造と非常に類似したものである。しかも、NiSi₂はその格子定数が5.406Åであり、結晶シリコンのダイヤモンド構造での格子定数5.430Åに非常に近い値をもつ。よって、NiSi₂は、非晶質ケイ素膜を結晶化させるための結晶型としては最高のものであり、本発明における触媒元素としては、特にNiを用いるのが最も望ましい。

【0054】本発明の製造方法においては、液晶表示用アクティブマトリクス基板を作製する場合、ケイ素膜を複数のTFTのチャネル領域となるよう一定の間隔Pにてパターンニング形成する際に、該TFTと接続されてなる補助容量成分の一方の電極部もレーザー走査方向に対して間隔Pにて同時にパターンニング形成されることが望ましい。これにより、工程数を増加することなく、補助容量成分がTFTと同時に構成されると共に、レーザー走査照射によるケイ素膜表面凹凸のための補助容量のばらつきを低減することができ、液晶表示装置においてフリッカーなどの表示不良の発生を防ぐことができる。

【0055】また、本発明の製造方法においては、ケイ素膜結晶化時のレーザー光の順次走査間隔Sと、走査方向におけるケイ素膜表面での該レーザー光のビーム幅Wとの比S/Wが、少なくとも0.2以下、すなわち順次走査時のレーザー光のオーバーラップ照射領域が80%以上となるようにして、該レーザー光照射工程が行われるように構成した。本発明は、特開平7-92010号公報のようにTFTチャネル領域に対してレーザー光の位置制御を行うものでないで、図9におけるレーザー順次走査に対して、位置a、b、c、dのどの状態でも結晶化されるかは全く分からない。したがって、全ての素子が均一に結晶化されるとは言え、最悪の状態でも結晶化された場合でも十分使用できる性能を保持する必要がある。一般にレーザー光のS/W比が小さいほど、すなわちレーザー光のオーバーラップ量が大きいほど均一性は向上する。本発明者らが調べたところ、レーザー光走査時のS/W比、すなわちレーザー光のオーバーラップ照射領域を変化させ、本発明による半導体装置を作製した場合、S/Wが0.2、すなわちオーバーラップ量を80%に設定した際のパネル間（サンプル数24）でのTFTの電界効果移動度のばらつきは±20%程度であった。よって、この状態で、各パネルにおいて、最大の電

境界効果移動度をもつものと最小の電界効果移動度をもつパネルとでは、ほぼ倍の値となっており、これ以上のばらつきは、素子設計の面から許容できない。したがって、本発明では、ケイ素膜結晶化時のレーザー光の順次走査の S/W 比が、少なくとも0.2以下、すなわちレーザー光のオーバーラップ照射領域が80%以上である必要がある。

【0056】上記範囲内で本発明による半導体装置を一応は安定して作製できるが、さらにパネル間での素子特性のばらつきを低減し、素子設計やその駆動関係においてマージンを大きくすることが要求される場合がある。各パネル間における素子特性のばらつきとしては、素子設計および駆動関係の両面から見て、 $\pm 10\%$ 以内であれば誤差として見なされ、修正や変更などの対応を加える必要が全くなくなる。このときのレーザー光走査時の S/W 比、すなわちレーザー光のオーバーラップ量としては、上記実施例から S/W 比が0.1以下、すなわちオーバーラップ照射領域が90%以上であることがわかった。また、この範囲内においては、均一性はほぼ飽和に達しており、この範囲内では均一性は大きく変化しない。したがって、前記 S/W 比およびオーバーラップ量の範囲が、本発明における最適範囲となる。

【0057】前記 S/W 比とレーザー光としては、そのビーム形状が照射面において長尺形状となるように設計されたものを用い、該ビーム形状の長尺方向に対して垂直方向に順次走査すること、でTFTチャネル領域および容量成分の電極部を結晶化することが望ましい。なぜなら、走査照射においては、走査方向に対して垂直方向の均一性は比較的良好なため、その方向へとビームサイズを振ることで、大型基板などに対して、より均一な処理が可能となり、この工程の処理効率も高くなるからである。

【0058】また、前記パルスレーザー光としては、波長が400nm以下であれば、ケイ素膜がその波長域に対して大きな吸収係数を持つため、そのエネルギーを効率的にケイ素膜に与えられ、良好な結晶性ケイ素膜が得られるとともに、下層のガラス基板などへの熱的ダメージも非常に小さくて済む。さらに、これら波長400nm以下のレーザー光の中でも、特に波長308nmのXeClエキシマレーザー光は、発光出力が高く、安定性が高いため、そのビームサイズをある程度振ることができ、大面積基板のケイ素膜のアニール手段としては最も適している。

【0059】
【発明の実施の形態】
（実施例1）本発明を用いた第1の実施例について説明する。本実施例では、本発明を利用し、ガラス基板上に液晶表示装置用のアクティブマトリクス基板を作製する際の工程について説明を行う。本発明のアクティブマトリクス基板においては、各画素電極をスイッチングする

ための素子としてN型TFTが形成されている。

【0060】以下において、図1は、本実施例の概要を示す平面図である。図2は本実施例のアクティブマトリクス基板において、任意のTFTの作製工程を示す断面図であり、(A)→(E)の順にしたがって作製工程が順次進行する。図2(E)が、本実施例にて作製したアクティブマトリクス基板での画素電極をスイッチングする画素TFT123の完成図である。

【0061】まず、図2(A)に示すように、ガラス基板101上に例えばスパッタリング法によって厚さ300nm程度の酸化ケイ素からなる下地膜102を形成する。この下地膜102は、ガラス基板からの不純物の拡散を防ぐために設けられる。次に、減圧CVD法やプラズマCVD法などによって、厚さ20～100nm、例えば30nmの非晶質ケイ素(a-Si)膜103を成膜する。プラズマCVD法により前記a-Si膜103を成膜した場合には、その膜中に多量の水素を含有し、後のレーザー照射時の膜割れの原因となるため、ここで450℃程度の温度で数時間熱処理を行い、膜中の水素を放出しておく必要がある。

【0062】その後、図2(B)に示すように、レーザー光108を照射し、a-Si膜103を結晶化する。このときのレーザー光としては、XeClエキシマレーザー（波長308nm、パルス幅40sec）を用いた。レーザー光108の照射条件は、照射時に基板を200～500℃、例えば400℃に加熱し、エネルギー密度200～350mJ/cm²、例えば300mJ/cm²とした。レーザー光108は、基板表面におけるビームサイズが150nm×1mmの長尺矩形形状となるように、ホモジナイザーによって成型されており、その長辺方向に対して垂直方向に、すなわち図1においてレーザー走査方向127へ順次走査される。このときの順次走査に伴う光ビームのオーバーラップ量は、95%と設定した。したがって、図1における走査ピッチ128は50μmとなり、a-Si膜103の任意の一点に対して、それぞれ20回レーザー照射されることになる。この工程により、a-Si膜103はその融点以上に加熱され、溶融し固化することで良好な結晶性を有する結晶性ケイ素膜103aとなる。

【0063】次に、前記結晶性ケイ素膜103aの不要な部分をパターンニングして除去することで、図2(C)に示すような素子間分離を行って、後にTFTの活性領域（ソース領域、ドレイン領域、チャネル領域）を構成する島状の結晶性ケイ素膜109を形成する。このとき基板101を上方より見ると、図1のように各TFTの活性領域となる島状の結晶性ケイ素膜109が配置されている。レーザー走査方向127での各TFT活性領域の島状の結晶性ケイ素膜109の配列間隔129は、100μmとして設計されている。よって、このTFTの配列間隔129は、レーザー走査ピッチ128に対して

2倍の値となるようにしてある。

【0064】尚、図1には、画素TFT123において、チャネル領域114、ソース領域115、ドレイン領域116をそれぞれ表している。

【0065】次に、図2(D)に示すように、上記活性領域となる島状の結晶性ケイ素膜109を覆うように厚さ20～150nm、ここでは100nmの酸化ケイ素膜をゲート絶縁膜110として成膜する。酸化ケイ素膜の形成には、ここではTEOS(Tetra Ethoxy Ortho Silicate)を原料とし、酸素とともに基板温度150～600℃、好ましくは300～450℃で、RFプラズマCVD法で分解・堆積した。あるいはTEOSを原料としてオゾンガスとともに減圧CVD法もしくは常圧CVD法によって、基板温度を350～600℃、好ましくは400～550℃として形成してもよい。

【0066】引き続き、スパッタリング法によって、厚さ300～600nm、例えば400nmのアルミニウムを成膜する。そして、アルミニウム膜をパターンニングして、ゲート電極111を形成する。さらに、このアルミニウムの電極の表面を陽極酸化して、表面に酸化物層112を形成する。この状態が図2(D)に相当する。陽極酸化は、過硫酸が1～5%含まれたエチレングリコール溶液中で行い、最初一定電圧で220Vまで電圧を上げ、その状態で1時間保持して終了させる。得られた酸化物層112の厚さは20nmである。なお、この酸化物層112は、後のイオンドーピング工程において、オフセットゲート領域を形成する厚さとなるので、オフセットゲート領域の長さを上記陽極酸化工程で決めることができる。

【0067】次に、イオンドーピング法によって、ゲート電極111とその周囲の酸化物層112をマスクとして活性領域に不純物(リン)を注入する。ドーピングガスとして、フォスフィン(PH₃)を用い、加速電圧を60～90kV、例えば80kV、ドーピング量を1×10¹⁵～8×10¹⁶cm⁻²、例えば2×10¹⁶cm⁻²とする。この工程により、不純物が注入された領域は後にTFTのソース領域115、ドレイン領域116となり、ゲート電極111およびその周囲の酸化物層112にマスクされ不純物が注入されない領域は、後にTFTのチャネル領域114となる。

【0068】その後、図2(D)に示すように、レーザー光113の照射によってアニールを行い、イオン注入した不純物の活性化を行うと同時に、上記の不純物導入工程で結晶性が劣化した部分の結晶性を改善させる。この際、使用するレーザーとしてはXeClエキシマレーザー(波長308nm、パルス幅40nsec)を用い、エネルギー密度150～400mJ/cm²、好ましくは200～250mJ/cm²で照射を行った。こうして形成されたN型不純物(リン)を導入したソース

領域115、ドレイン領域116のシート抵抗は、200～800Ω/□であった。

【0069】そして、図2(E)に示すように、厚さ600nm程度の酸化ケイ素膜を層間絶縁膜117として形成する。該酸化ケイ素膜は、TEOSを原料として、これと酸素とのプラズマでCVD法、もしくはオゾンとの減圧CVD法あるいは常圧CVD法によって形成すれば、段差被覆性に優れた良好な層間絶縁膜が得られる。

【0070】次に、層間絶縁膜117にコンタクトホールを形成して、ソース電極118とドレイン電極119を形成する。ソース電極118は、金属材料、例えば、窒化チタンとアルミニウムの二層膜によって形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜として設けられる。画素電極はITOなど透明導電膜により形成される。

【0071】そして最後に、1気圧の水素雰囲気中で350℃、1時間程度のアニールを行い、図2(E)に示すN型TFT123を完成させる。該アニール処理により、TFT123の活性領域/ゲート絶縁膜の界面へ水素原子を供給し、TFT特性を劣化させる不具合を低減する効果がある。なお、さらにTFT123を保護する目的で、必要な箇所のSiH₄とNH₃を原料ガスとしたプラズマCVD法により形成された窒化ケイ素膜でカバーしてもよい。

【0072】以上の実施例にしたがって作製した各TFTは、全パネルにおいて、電界効果移動度が40～80cm²/Vs、閾値電圧1.5～3Vという良好な特性を示した。また、パネル間では前記範囲内でTFT特性がばらついてはいたが、パネル内のTFTの均一性は電界効果移動度が±8%程度、閾値電圧が±0.2V程度と非常に良好であった。その結果、本実施例にて作製したアクティブマトリクス基板を用い、液晶表示パネルを作製し、全面表示を行った結果、TFT特性の不均一性に起因する表示むららは大きく低減され、高表示品位の液晶表示装置が実現できた。

【0073】(実施例2)本発明を用いた第2の実施例について説明する。本実施例においても、本発明を利用し、ガラス基板上に液晶表示装置用のアクティブマトリクス基板を作製する際の工程について、説明を行う。本実施例のアクティブマトリクス基板においては、各画素電極をスイッチングするための素子としてN型TFTが形成され、そのドレイン領域側には画素液晶容量と並列に補助容量Csが設けられている。

【0074】以下において、図3は本実施例の概要を示す平面図である。また、図4は、本実施例の任意の画素TFTおよび補助容量Csの作製工程の概要を示す断面図であり、(A)～(E)の順にしたがって作製工程が順次進行する。図4(E)に示されるのが本実施例にて作製した画素TFTおよびその補助容量Csの完成図であり、N型TFT223、補助容量224を示す。

【0075】まず、図4(A)に示すように、ガラス基板201上に例えばスパッタリング法によって厚さ300nm程度の酸化ケイ素からなる下地膜202を形成する。この下地膜202は、ガラス基板からの不純物の拡散を防ぐために設けられる。

【0076】次に、減圧CVD法やプラズマCVD法などによって、厚さ20~100nm、例えば30nmの非晶質ケイ素膜(a-Si)膜203を成膜する。

【0077】次に、前記a-Si膜203の不要な部分をパターニングして除去することで、図4(B)に示すような素子間分離を行って、後にTFTの活性領域(ソース領域、ドレイン領域、チャネル領域)および補助容量Csの下部電極を構成する島状のa-Si膜209を形成する。

【0078】続いて、同じく図4(B)に示すように、上記島状のa-Si膜209上にフォトレジストを塗布し、露光・現像してマスク204とする。すなわち、マスク204により、後にTFTのチャネル領域214となる部分のみが覆われた状態となっている。そして、イオンドーピング法によって、フォトレジストよりなるマスク204をマスクとして、不純物(リン)206を注入する。ドーピングガスとして、フッ素フィン(PH₃)を用い、加速電圧を5~30kV、例えば15kV、ドーピング量を $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば $2 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、不純物が注入された領域は後のTFT223のソース領域215となり、また別の領域はTFT223のドレイン領域と補助容量Cs224の下部電極の連続領域216を形成する。フォトレジストよりなるマスク204にマスクされ不純物206が注入されない領域は、上述のように後にTFT223のチャネル領域214となる。

【0079】ここで、この状態を基板上方より見ると、図3のようになっている。すなわち、各TFT223と補助容量Cs224は同一ライン上に配列され、後の工程であるレーザー照射の走査方向227の方向に対して、レーザー走査ビッチ229にて等間隔に配列されている。このときの配列間隔229は、本実施例では実際は100μmに設定した。

【0080】その後、フォトレジストのマスク204を除去する。上記a-Si膜203がプラズマCVD法により形成された場合や、上記のイオンドーピング工程が質量分離されずに行われている場合には、a-Si膜203中に多量の酸素元素が含まれており、レーザー結晶化工程前に酸素処理を行う必要がある。この処理は450℃程度の温度で数時間アニール処理を行えばよい。

【0081】そして、図4(C)に示すように、レーザー光208を照射し、島状のa-Si膜209を結晶化する。このときのレーザー光としては、XeClエキシマレーザー(波長308nm、パルス幅40ns)を用いた。レーザー光208の照射条件は、照射時に基

板を200~500℃、例えば400℃に加熱し、エネルギー密度200~350mJ/cm²、例えば300mJ/cm²とした。レーザー光208は、図3に示す横方向へ順次レーザー走査方向227に走査した。基板面に照射されるレーザービームのサイズは、150nm×1mmの長尺形状とし、その短辺方向を走査方向とした。レーザービームのオーバーラップ量を90%と設定したため、各パルスショット間の基板距離であるレーザー走査ビッチ228は、100μmとなり、a-Si膜203の任意の一点に対して、それぞれ10回レーザー照射されたことになる。すなわち、レーザー走査方向227での各TFT活性領域および補助容量Csの島状のa-Si膜209の配列間隔229は、100μmとして設定されているので、レーザー走査ビッチ228と同一の値となる。この工程により、a-Si膜203はその融点以上に加熱され、熔融し固化することで良好な結晶性を有する結晶性ケイ素膜203aとなると共に、不純物206がドーピングされたソース領域215と、ドレイン領域と補助容量Csの下部電極の連続領域216では不純物が活性化され、低抵抗化される。その結果、ソース領域215、連続領域216のシート抵抗は200~800Ω/□となった。

【0082】次に、図4(D)に示すように、島状の結晶性ケイ素膜209を覆うように厚さ20~150nm、ここでは100nmの酸化ケイ素膜をゲート絶縁膜210として成膜する。酸化ケイ素膜の形成には、ここではTEOSを原料とし、酸素とともに基板温度300~400℃で、RFプラズマCVD法で分解・堆積した。成膜後、ゲート絶縁膜210自身のバルク特性および結晶性ケイ素膜・ゲート絶縁膜の界面特性を向上するために、不活性ガス雰囲気下で400~600℃で数時間のアニールを行った。

【0083】引き続き、スパッタリング法によって、厚さ300~600nm、例えば400nmのアルミニウムを成膜する。そして、アルミニウム膜をパターンニングして、ゲート電極211gと補助容量Cs224の上部電極211cを形成する。ここで、作製目的のアクティブマトリクス基板において、ゲート電極211gは平面的に見れば第n番目のゲートバスラインであり、補助容量Csの上部電極211cは第n+1番目のゲートバスラインとして構成されている。

【0084】そして、図4(E)に示すように、厚さ500nm程度の酸化ケイ素膜を層間絶縁膜217として形成する。該酸化ケイ素膜は、TEOSを原料として、これと酸素とのプラズマCVD法、もしくはオゾンとの減圧CVD法あるいは常圧CVD法によって形成すれば、段差被覆性に優れた良好な層間絶縁膜が得られる。

【0085】次に、層間絶縁膜217にコンタクトホールを形成して、ソース電極218とドレイン電極219を形成する。ソース電極218は、金属材料、例えば、

窒化チタンとアルミニウムの二層膜によって形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜として設けられる。画素電極はITOなど透明導電膜により形成される。

【0086】そして最後に、1気圧の水素雰囲気中で350℃、1時間程度のアニールを行い、図4(E)に示すTFT223および補助容量Cs224を完成させる。このアニール処理により、TFT223の活性領域/ゲート絶縁膜の界面へ水素原子を供給し、TFT特性を劣化させる不対結合手を低減する効果がある。なお、さらにTFT223を保護する目的で、必要な箇所のみプラズマCVD法により形成された窒化ケイ素膜でカバーしてもよい。

【0087】以上の実施例にしたがって作製したTFTは、電界効果移動度が $40 \sim 80 \text{ cm}^2/\text{Vs}$ 、閾値電圧1.5～3Vという良好な特性を示した。また、パネル内では前記範囲内でTFT特性がばらついてはいたが、パネル内のTFTの均一性は電界効果移動度で $\pm 5\%$ 程度、閾値電圧で $\pm 0.2 \text{ V}$ 以下と非常に良好であった。また、TFT223のチャネル領域214では4～7nm、補助容量Cs224の下部電極216の表面ラフネスを原子間力顕微鏡(AFM)にて測定したところ、平均面粗さRaの値において、チャネル領域214では4～7nm、補助容量Cs224の下部電極216では6～9nmであったが、個々のパネル内においては、それぞれ同様な状態にて結晶化されていたため、チャネル領域214および補助容量Cs224の下部電極216のそれぞれにおいて、そのばらつきは $\pm 1 \text{ nm}$ 以下と、ほぼ同様の平均面粗さRa値を示した。

【0088】そして、実際に本実施例にて作製したアクティブマトリクス基板を用い、液晶表示パネルを作製し、全面表示を行った結果、以前見られていた糸状の表示むらは見られず、高表示品位の液晶表示装置が実現できた。

【0089】(実施例3) 本発明を用いた第3の実施例について説明する。本実施例では、ドライバモノリシック型のアクティブマトリクス基板の作製工程についての説明を行う。本実施例においては、アクティブマトリクス部の画素TFTはN型TFTで構成されている。また、この画素TFTと同一基板上にはドライバ回路部を構成するTFT素子が形成されており、N型TFTとP型TFTを相補型に構成したCMOS構造の回路を用いて説明を行う。

【0090】図5は、本実施例で説明するドライバモノリシック型アクティブマトリクス基板の概要を示す平面図である。図6は、ドライバ回路を構成する基板内の任意のCMOS回路の作製工程の概要を示す平面図である。図7は、図5のA-A'で切ったCMOS回路の作製工程を示す断面図であり、(A)→(F)の順にしたがって工程が順次進行する。また、図8は、基板内の任

意の画素TFTの作製工程を示す断面図であり、図7に示されるCMOS回路の作製工程と同時に、(A)→(F)の順にしたがって工程が順次進行する。図7(F)は、本実施例によるドライバモノリシック型アクティブマトリクス基板におけるCMOS回路の完成図を示し、N型TFT325とP型TFT326により構成される。また、図8(F)は、本実施例によるドライバモノリシック型アクティブマトリクス基板における画素TFT(N型TFT)323の完成図を示す。

【0091】まず、図7(A)、図8(A)に示すように、ガラス基板301上に例えばスパッタリング法によって厚さ300nm程度の酸化ケイ素層となる下地膜302を形成する。この下地膜302は、ガラス基板からの不純物の拡散を防ぐために設けられる。次に、減圧CVD法あるいはプラズマCVD法によって、厚さ20～100nm、例えば50nmの真性(1型)の非晶質ケイ素膜(a-Si膜)303を成膜する。

【0092】次に、a-Si膜303上に感光性樹脂(フォトレジスト)を塗布し、露光・現像してマスク304とする。このとき、CMOS回路部においては、フォトレジストマスク304のスルーホールにより、領域300においてスリット状にa-Si膜303が露呈される。即ち、図7(A)の状態を上面から見ると、図6のように領域300でa-Si膜303がスリット状に露呈しており、他の部分はフォトレジストによりマスクされている状態となっている。また、画素TFT部では、図8(A)に示すように、a-Si膜303上のフォトレジストマスク304は全て除去されており、a-Si膜303全面が露呈している。

【0093】次に、図7(A)、図8(A)に示すように、基板301の表面にニッケル等の触媒元素膜305を薄膜蒸着する。本実施例では、蒸着ソースと基板間の距離を通常より大きくして、蒸着レートを低下させることで、ニッケルの等の触媒元素膜305の厚さが1nm程度以下となるように制御した。このときの基板301上におけるニッケル等の触媒元素膜305の面密度を実際に測定すると、 $1 \times 10^{15} \text{ atoms/cm}^2$ 程度であった。そして、図7のCMOS回路においては、フォトレジストマスク304を除去することで、マスク304上のニッケル等の触媒元素膜305がリフトオフされ、領域300のa-Si膜303において、選択的にニッケル等の触媒元素の微量添加が行われたことになる。これに対し、図8に示す画素TFT部では、a-Si膜303全面にニッケル等の触媒元素の微量添加が行われている。そして、これを不活性雰囲気中、例えば加熱温度550℃で8時間アニールして結晶化させる。

【0094】この際、図7(B)および図8(B)に示すように、a-Si膜303の表面に添加されたニッケル等の触媒元素を核として基板301に対して垂直方向にa-Si膜303の結晶化が起こり、結晶性ケイ素膜

303bが形成される。この現象は、図7(B)のCMOS回路部においては、ニッケル等の触媒元素が選択添加された領域300においてのみ生じる。そして、領域300の周辺領域では、図6および図7(B)において、矢印307で示す結晶成長方向に、領域300から横方向(基板と平行な方向)に結晶成長が行われ、横方向結晶成長した結晶性ケイ素膜303cが形成される。また、それ以外の領域303は、そのまゝ非晶質ケイ素膜領域303dとして残る。なお、上記結晶成長に際し、矢印307で示される基板と平行な方向の結晶成長の距離は、40 μm 程度であった。

【0095】その後、図7(C)および図8(C)に示すように、レーザー光308を照射し、a-Si膜303の再結晶化を行う。このときのレーザー光としては、XeC1エキシマレーザー(波長308nm、パルス幅40nsec)を用いた。このときのレーザー光308の照射条件は、照射時に基板を200~500℃、例えば400℃に加熱し、エネルギー密度200~350mJ/cm²、例えば320mJ/cm²とした。レーザー光308は、基板表面におけるビームサイズが150mm×1mmの長尺矩形形状となるように、ホモジナイザーによって成型されており、その長辺方向に対して垂直方向に、すなわち図4においてレーザー走査方向327に順次走査される。このときの順次走査に伴うビームのオーバーラップ量は、95%と設定した。したがって、図5におけるレーザー走査ピッチ328は50 μm となり、a-Si膜303の任意の一点に対して、それぞれ20回レーザー照射されることになる。この工程により、結晶性ケイ素膜領域303bおよび303cはその融点以上に加熱され、溶融し固化することで、一部を極結晶として再結合し、さらに良好な結晶性ケイ素膜領域303b'、および303c'となる。また、a-Si膜303dは、結晶化され結晶性ケイ素膜303aとなる。

【0096】その後、CMOS回路部では、図6および図7(D)に示すように、高品質結晶性ケイ素膜303c'領域が、後のTFTの活性領域(素子領域)となる島状の結晶性ケイ素膜309n、309pとなるように、また、画素TFTでは、図8(D)に示すように、高品質結晶性ケイ素膜303b'領域が、後のTFTの活性領域となる島状の結晶性ケイ素膜309gとなるように、それ以外の結晶性ケイ素膜をパターンニングによりエッチング除去して素子間分離を行う。このとき基板301を上方より見ると、図5のように各TFTの活性領域となる島状の結晶性ケイ素膜309がそれぞれ配置されている。図5からわかるように、本実施例では、レーザー光の走査方向327での各TFTの活性領域となる島状の結晶性ケイ素膜309の配置間隔は、ドライバ回路部と画素部で異なるように配置されている。実際には、本実施例で説明中のCMOS回路のTFTの活性領域となる島状の結晶性ケイ素膜309n、309pの配

置間隔330は、50 μm として設計されており、画素TFTの活性領域となる島状の結晶性ケイ素膜309gの配置間隔329は、100 μm として設計されている。よって、本実施例では、レーザー走査ピッチ328に対して、ドライバ回路(CMOS回路)部のTFTの配列間隔330は同一となるように、そして、画素TFTの配列間隔329は、その2倍の値となるように設計してある。このように配置することで、画素TFTの配列ピッチに対してドライバ回路のレイアウトが大きく左右されず、どのような仕様のアクティブマトリクス基板においても、集積度の高いドライバ回路を形成することができる。尚、図5には、各々のTFT323、325、326と、そのチャネル領域314、ソース領域315、ドレイン領域316をそれぞれ表している。

【0097】次に、図7(E)および図8(E)に示すように、上記の活性領域となる結晶性ケイ素膜309nおよび309p、309gを覆うように厚さ100nmの酸化ケイ素膜をゲート絶縁膜310として成膜する。酸化ケイ素膜の形成には、ここではTEOSを原料とし、酸素とともに基板温度300~400℃で、RFプラズマCVD法で分解・堆積した。成膜後、ゲート絶縁膜310自身のバルク特性および結晶性ケイ素膜・ゲート絶縁膜の界面特性を向上するために、不活性ガス雰囲気下で400~600℃で数時間のアニールを行った。

【0098】引き続き、図7(E)および図8(E)に示すように、スパッタリング法によって厚さ400~800nm、例えば500nmのアルミニウム(0.1~0.2%のシリコンを含む)を成膜し、このアルミニウム膜をパターンニングして、ゲート電極311n、311p、311gを形成する。

【0099】次に、イオンドーピング法によって、活性領域となる島状の結晶性ケイ素膜309n、309p、309gにゲート電極311n、311p、311gをマスクとして不純物(リン、およびホウ素)を注入する。ドーピングガスとして、フォスフィン(PH₃)およびジボラン(B₂H₆)を用い、前者の場合は、加圧電圧を60~90kV、例えば80kV、後者の場合は、40kV~80kV、例えば65kVとし、ドーピング量は1×10¹⁵~8×10¹⁵cm⁻²、例えばリンを2×10¹⁵cm⁻²、ホウ素を5×10¹⁵cm⁻²とする。この工程により、ゲート電極311n、311p、311gにマスクされ不純物が注入されない領域は後にTFTのチャネル領域314n、314p、314gとなる。ドーピングに際しては、ドーピングが不要な領域をフォトリソで覆うことによって、それぞれの元素を選択的にドーピングを行う。この結果、N型の不純物を導入したソース領域315nとドレイン領域316n、P型の不純物を導入したソース領域315pとドレイン領域316pが形成され、図7(E)および図(F)に示すように、Nチャネル型TFT325とPチャネル型TFT326

とを形成することができる。この状態を基板上方より見ると図6のようになっており、ここで活性領域となる島状の結晶性ケイ素膜309nおよび309pにおいて、結晶成長方向を示す矢印307とキャリアの移動方向(ソースドレイン方向)は平行となるように配置してある。このような配置を採ることで、さらに高移動度を有するTFTが得られる。また、図8(E)および(F)に示す画素TFT323は、CMOS回路のN型TFT325のN型不純物領域が形成されるのと同時に、そのN型不純物が導入されたソース領域315gとドレイン領域316gが形成される。

【0100】その後、図7(E)および図8(E)に示すように、レーザー光313の照射によってアニールを行い、イオン注入した不純物の活性化を行う。レーザー光としては、XeClエキシマレーザー(波長308nm、パルス幅40ns)を用い、レーザー光の照射条件としては、エネルギー密度 $250\text{mJ}/\text{cm}^2$ で4ショット照射した。

【0101】続いて、図7(F)および図8(F)に示すように、厚さ600nmの酸化ケイ素膜を層間絶縁膜317として、TEOSを原料としたプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、酸化チタンとアルミニウムの二層膜によってTFTのソース電極とソースバス配線318、ソース電極320、ソース・ドレイン電極321、ドレイン電極322を形成する。また、画素TFTにおいては、ITOなどの透明導電膜により画素電極を形成する。そして最後に、1気圧の水素雰囲気下で350℃、1時間程度のアニールを行い、CMOS回路を構成するN型TFT325とP型TFT326、および画素TFT323を完成させる。

【0102】以上の実施例にしたがって作製したCMOS構造回路において、それぞれのTFTの電界効果移動度はN型TFTで $120\sim 180\text{cm}^2/\text{Vs}$ 、P型TFTで $70\sim 100\text{cm}^2/\text{Vs}$ と高く、閾値電圧はN型TFTで $0\sim 1\text{V}$ 、P型TFTで $-2\sim -3\text{V}$ と非常に良好な特性を示した。また、画素TFTでは、電界効果移動度は $80\sim 140\text{cm}^2/\text{Vs}$ 、閾値電圧は $1\sim 2\text{V}$ 程度であった。また、パネル間では前記範囲内でTFT特性がばらついていたが、パネル内のTFTの均一性は電界効果移動度が $\pm 5\%$ 程度、閾値電圧で $\pm 0.2\text{V}$ 以下と非常に良好であった。

【0103】そして、実際に本実施例にて作製したドライバノリシック型のアクティブマトリクス基板を用い、液晶表示パネルを作製し、全面表示を行った結果、レーザー順次走査に起因すると見られる縞状の表示むらは見られず、高表示品位の液晶表示装置が実現できた。

【0104】以上、本発明に基づく実施例3例につき具体的に説明したが、本発明は上述の実施例に限定されるものではなく、本発明の技術的思想に基づく各種の変形

が可能である。

【0105】例えば、前述の3例の実施例においては、XeClエキシマレーザーを用いて、a-Si膜を結晶化、あるいは固相結晶成長ケイ素膜を再結晶化した。本発明は、それ以外の様々なパルスレーザー光照射により結晶化された場合にも勿論、同様の効果があり、波長248nmのKrFエキシマレーザーなどを用いた場合にも同様に適用可能である。

【0106】また、上記第3実施例では、固相結晶成長法としては、触媒元素を用い時間を結晶化する手法を用いたが、触媒元素を用い通常の固相結晶成長法を用いても同様の効果が得られる。また、上記第2および第3実施例では、触媒元素であるニッケルを導入する方法として、a-Si膜表面に蒸着法によりニッケル薄膜を形成することにより、ニッケルの微量添加を行い、結晶成長を行わせる方法を採用した。しかし、a-Si膜成膜前に、下地膜の表面にニッケルを導入し、a-Si膜下層よりニッケルを拡散させ結晶成長を行わせる方法でもよい。即ち、結晶成長はa-Si膜の上面側から行ってもよいし、下面側から行ってもよい。また、ニッケルの導入方法としても、その他、様々な手法を用いることができる。例えば、ニッケル塩を溶かした水溶液を塗布する方法や、ニッケル塩を溶かしたSOG(スピンコグラス)材料よりなるSiO₂膜から拡散させる方法も有効である。スパッタリング法やメッキ法により薄膜形成する方法や、イオンドレーピング法により直接導入する方法なども利用できる。さらに、結晶化を助長する不純物金属元素としては、ニッケル以外にコバルト、パラジウム、白金、銅、銀、金、インジウム、スズ、アルミニウム、アンチモンを用いても効果が得られる。

【0107】さらに、本発明の応用としては、液晶表示用のアクティブマトリクス型基板以外に、例えば、密着型イメージセンサー、ドライバ内蔵型のサーマルヘッド、有機素子EL等発光素子としたドライバ内蔵型の光書き込み素子や表示素子、三次元IC等が考えられる。本発明を用いることで、これらの素子の高直、高解像度化等の高性能化が実現される。さらに本発明は、上述の実施例で説明したMOS型トランジスタに限らず、結晶性半導体素子としたバイポーラトランジスタや静電誘導トランジスタをはじめとして幅広く半導体プロセス全般に適用することができる。

【0108】

【発明の効果】本発明を用いることにより、パルスレーザー光により結晶化された結晶性ケイ素膜を素子材料とする半導体装置全般において、結晶化の不均一性に支配されず、複数の素子の間特性安定化が図れ、高性能で且つ信頼性、安定性の高い薄膜半導体装置を実現することができる。特に液晶表示装置においては、レーザー順次走査による結晶性の不均一性に左右されず、パネル内において個々のTFTの特性を均一化でき、レーザー順次

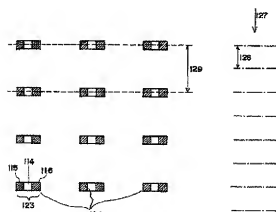
走査に起因する表示不良のない高表示レベルな液晶表示装置が、簡便な製造プロセスにて得られる。さらに、周辺駆動回路部を構成するTFTに要求される高性能化・高集積化・特性均一化が図れ、同一基板上にアクティブマトリクス部と周辺駆動回路部を構成するフルドライバモノリシック型のアクティブマトリクス基板を実現でき、モジュールのコンパクト化、高性能化、低コスト化が図れる。

【図面の簡単な説明】

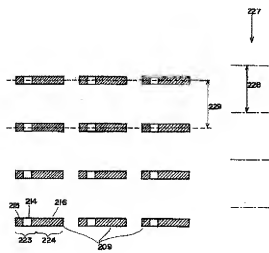
- 【図1】本発明の第1の実施例の概要を示す。
 【図2】本発明の第1の実施例の作製工程を示す。
 【図3】本発明の第2の実施例の概要を示す。
 【図4】本発明の第2の実施例の作製工程を示す。
 【図5】本発明の第3の実施例の概要を示す。
 【図6】本発明の第3の実施例におけるCMOS回路の概要を示す。
 【図7】本発明の第3の実施例におけるCMOS回路の作製工程を示す。
 【図8】本発明の第3の実施例における画素TFTの作製工程を示す。
 【図9】パルスレーザ順次走査による結晶化工程の概要を示す。
 【図10】結晶性ケイ素膜表面の原子間力顕微鏡（AFM）像をもとにスケッチした図を示す。
 【符号の説明】
 101、201、301 基板
 102、202、302 下地膜
 103、203、303 非晶質ケイ素（a-Si）

- 膜
 204、304 マスク
 305 触媒元素膜
 206 不純物
 307 矢印
 108、208、308 レーザ光
 109 309 島状の結晶性ケイ素膜
 209 島状の非晶質ケイ素（a-Si）膜
 110、210、310 ゲート絶縁膜
 111、211、311 ゲート電極
 112 酸化物質層
 113、213、313 レーザ光
 114、214、314 チャネル領域
 115、215、315 ソース領域
 116、316 ドレイン領域
 216 連続領域
 117、217、317 層間絶縁膜
 118、218、318 ソース電極
 119、219、319 ドレイン電極
 320、321、322 電極
 123、223、323 TFT
 224 補助容量Cs
 325 N型TFT
 326 P型TFT
 127、227、327 レーザ走査方向
 128、228、328 レーザ走査ビッチ
 129、229、329 配列間隔
 330 配列間隔

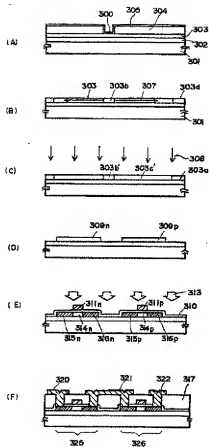
【図1】



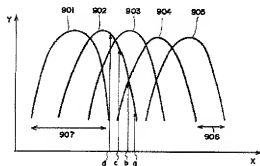
【図3】



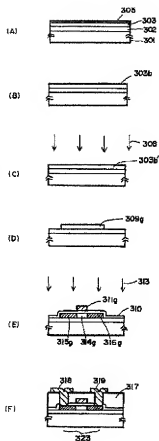
【図7】



【図9】



【図8】



【図10】

